

Japanese Patent Application Public-disclosure No. 2-213942
Japanese Patent Application Public-disclosure date: August 27,
1990

Title of the invention: Instruction code translation
hierarchical storage computer

Japanese Patent Application No. 1-33746

Japanese Patent Application date: February 15, 1989

Inventor: Aiichiro Hayashi

Applicant: Aiichiro Hayashi

[Problems to be solved by the invention]

Since, in contrast with CISC (complex instruction set computer), RISC (reduced instruction set computer) involves a large volume of instruction code, and therefore, a total amount of instruction code read from an external storage device storing the entire instruction code to a main storage device, and further to a cache memory is exceptionally large, reading of such instruction code in a computer system employing RISC slows down the overall performance of such a computer system.

[Means for solving the problems]

With a view to solving the aforementioned problems, the present invention provides a computer employing a hierarchical storage system consisting of a low-speed large capacity first storage device and a high-speed small capacity second storage device, with an instruction code converter being disposed between the first storage device and the second storage device, wherein instruction code in the form of machine language stored in the first storage device is input to the instruction code converter, which then translates the instruction code to corresponding microcode and outputs the thus translated microcode to the second storage device.

[Operation]

In order to reduce an amount of instruction code in a low-speed memory such as an external storage device and to

accelerate both translation from instruction code in a high-speed memory, such as a cache, to a control signal of an arithmetic processing unit and to control processing, a computer system employing the above-described system treats instruction code to be stored in the low-speed memory, such as external storage, and instruction code to be stored in the high-speed memory, such as a cache, as different instruction codes and translates the code when it is read into the high-speed memory such as a cache or the like. As is described above, a main storage device has a function of a cache memory in relation to external storage, and therefore translation is conducted when instruction code is read from the external storage into the main storage, thereby speeding up the execution of an instruction.

The computer of the present invention and a CISC with cache memory are different in that according to a CISC, the same instruction code as in an external storage device is saved in a cache memory for the purpose of recycling, and every time instruction code is executed it is translated to an internal control signal; whereas, according to a computer of the preset invention, translation is conducted when code is read into a high-speed memory, such as cache memory or the like, and when instruction code in the high-speed memory, such as cache memory or the like, is re-executed, it is not necessary to repeat translation. According to some CISCs, an operation for a pair of codes such as code instructing data transfer and code instructing repetition of the data transfer is defined so that during the operation, translation of code to an internal control signal is not conducted. However, this is different from the present system in terms of constitution and function, because in the present system when there is a high possibility that code will be re-executed after execution of the code, the code is saved in a cache in the form of converted microcode (control signal).

⑫ 公開特許公報(A) 平2-213942

⑤Int.Cl.³G 06 F 9/30
9/22

識別記号

3 5 0 G
3 1 0 Z

庁内整理番号

7361-5B
7361-5B

⑬公開 平成2年(1990)8月27日

審査請求 有 請求項の数 3 (全4頁)

⑭発明の名称 命令コード変換階層記憶計算機

⑯特 願 平1-33746

⑰出 願 平1(1989)2月15日

⑱発 明 者 林 愛 一 郎 神奈川県横浜市港北区菊名5丁目8番32号

⑲出 願 人 林 愛 一 郎 神奈川県横浜市港北区菊名5丁目8番32号

⑳代 理 人 弁理士 小川 景士

明 細 書

1. 発明の名称

命令コード変換階層記憶計算機

2. 特許請求の範囲

1. 低速・大容量の第1の記憶装置及び高速・小容量の第2の記憶装置からなる階層記憶システムを採用した電子計算機において、前記第1の記憶装置と前記第2の記憶装置との間に命令コード変換装置を設け、該命令コード変換装置は前記第1の記憶装置に記憶された機械語形式の命令コードを入力してこれに対応するマイクロコードに変換して前記第2の記憶装置に出力するようにしたことを特徴とする命令コード変換階層記憶計算機。

2. 前記第1の記憶装置を主記憶装置とし、前記第2の記憶装置をキャッシュメモリとした請求項1記載の命令コード変換階層記憶計算機。

3. 前記第1の記憶装置を外部記憶装置とし、前記第2の記憶装置を主記憶装置とした請求項1記載の命令コード変換階層記憶計算機。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は階層記憶装置を有する電子計算機を高速化した装置に関する。

(従来の技術)

電子計算機は、メモリ(記憶装置)から命令コードを読み出し、その命令コードに従って、データの読み書きや演算を行う。現在まで発展してきたノイマン型計算機は、メモリのアクセスが計算機の演算処理より遅いために、命令コード当たりの処理能力を高め、メモリから読み出すべき命令コードの絶対量(ビット数)を減らす方向に発展してきた。このような計算機を

CISC: Complex
Instruction Set
Computer

という。しかし、この結果、メモリから読み出した命令コードと演算装置の制御信号（マイクロコード）との対応が複雑になり、その変換や制御に時間がかかるようになり、処理装置が遅くなってきてしまった。

そこで生まれたのが、

R I S C : R e d u c e d
I n s t r u c t i o n S e t
C o m p u t e r

である。これは、最近の半導体メモリが高速化してきていることを利用し、マイクロコードをそのまま記憶・保存する命令コードとして採用したり、マイクロコードに変換して内部制御を行うことがやり易いように、つまり高速になるようにマイクロコードに近い形の命令コードを定めてこれを記憶・保存したりしている。RISCとCISCで同一の演算をする場合、一般にRISCのほうが命令コード量は多くなる。

CISCでも用いられているが、RISCで特に重要なのは、階層記憶システムである。こ

通常、外部記憶装置、主記憶装置、キャッシュメモリの3層程度の構成を用い、外部記憶装置に磁気ディスク、主記憶装置に低速半導体メモリ、キャッシュメモリに高速半導体メモリを用いる。

この場合、機能的に見ると主記憶装置と外部記憶装置の関係はキャッシュメモリと主記憶装置の関係と同じである。キャッシュメモリを用いると、小規模なシステム、あるいはある種の計算処理ではRISCはCISCより高速に計算処理を実行することができる。

(発明が解決しようとする課題)

しかし、RISCは命令コード量が多く、最終的に命令コード全体を記憶している外部記憶装置から、主記憶装置さらにはキャッシュメモリへ読み出す命令コードの絶対量が多くなってしまい、これがRISCを用いた計算機システムのシステムとしての総合的な実行が遅くなってしまう原因である。

(課題を解決するための手段)

これは、低速、安価な大容量の記憶装置（外部記憶：磁気ディスクなど）から高速、高価な小容量の記憶装置（キャッシュ：半導体メモリなど）に至る記憶装置を用意し、計算機の命令コードは、非常に短時間の間に再実行されることが多いことを利用して、一度実行した命令コードを保存し、再実行の際に、その命令コードがキャッシュメモリ等の高速メモリ内に残っていれば、それより速い記憶装置からの読み込みを行わずに、キャッシュメモリから命令コードを読み込み、演算を行うようにして高速に実行できるようにしたシステムである。キャッシュメモリ等は小容量なので、再実行される確率が高い命令コードを選択して保存する必要があるが、その選択方法は、周知の技術である。キャッシュメモリ等に命令コードを読み込むときに、キャッシュメモリ等のどの部分に命令コードが読み込まれているかを電氣的にマークしておき、再実行の際に利用できるかどうかを調べられるようにしておくが、これも周知の技術である。

上記課題を解決するため本発明は、低速・大容量の第1の記憶装置及び高速・小容量の第2の記憶装置からなる階層記憶システムを採用した電子計算機において、前記第1の記憶装置と前記第2の記憶装置との間に命令コード変換装置を設け、該命令コード変換装置は前記第1の記憶装置に記憶された機械語形式の命令コードを入力してこれを対応するマイクロコードに変換して前記第2の記憶装置に出力するようにしたものである。

(作 用)

この装置を用いた計算機システムでは、外部記憶装置等の低速メモリ上の命令コード量を減らし、キャッシュ等の高速メモリ上の命令コードから演算処理装置の制御信号への変換と制御を高速にするために、外部記憶装置等の低速メモリに記憶される命令コードと、キャッシュ等高速メモリに記憶される命令コードを異なるものとし、その変換をキャッシュ等の高速メモリに読み込む時点で行う。主記憶装置は先に述べ

たように外部記憶装置に対してキャッシュメモリの機能を有するので外部記憶装置から主記憶装置に命令コードを読み込む時点で変換を行うもので、同一原理で高速化を図るものも同様である。

キャッシュメモリ付のCISCとの違いは、CISCが、キャッシュメモリに外部記憶装置上の命令コードと同じものを保存して再利用するが、命令コードを実行する都度、内部制御信号に変換するのに対し、本発明にかかる計算機では、キャッシュメモリ等の高速メモリに読み込む時点で変換を行い、キャッシュメモリ等の高速メモリ内の命令コードを再実行する場合は、再度変換をする必要がないことである。一部のCISCでは、データ転送を指示するコードとその繰り返しを指示するコードのように、一連のコードの組に対して動作を定義し、その動作中は、内部制御信号への変換を行わないものがあるが、コードの実行後も再実行の可能性が高ければ変換後のマイクロコード(制御信号)

要がなくなるので、命令コードごとの実行が高速になる。命令コード実行順序の飛び越しや繰り返しを指示する命令コードなどでは、変換前の命令コードの実行順序に対応した変換後の命令コード(飛び越し先)を求める必要がある場合があるが、変換前の命令コードの1単位(バイトやワードなどの単位で表わされるコード位置識別の単位)が変換によって展開された長さを単位としてキャッシュメモリを分割して、変換前の命令コード位置と、変換後の命令コード位置の2つの値の対応から変換後の命令コードで次に実行すべきものを求めて制御すればよい。これ以外に対応回路を用いる方法なども考えられる。一例として、変換前のコード1単位(例えば16ビット)が変換後のコード1単位(例えば64ビット)に変換されるものを示す。ここで、例えば変換前のコードで4単位先に飛び越して次の命令を実行する場合、キャッシュメモリ上では4×64ビット先の命令を実行することとなる。なお、記憶階層をさらに増

の形でキャッシュに保存するこの装置を用いたシステムとは構成・作用が異なる。

(実施例)

[実施例1]

主記憶装置からキャッシュメモリへの読み込み時に命令コードを変換するようにしたものである。

本実施例は、外部記憶装置、主記憶装置、命令コード変換装置、キャッシュメモリ、演算処理装置の順で接続された構成になる。量産する場合は命令コード変換装置・キャッシュメモリ、演算処理装置を合わせた半導体集積回路として製造することになる。命令コード変換装置の変換速度は、主記憶装置の読み出し速度に合えば良く、従来のCISCではそれより高速なキャッシュメモリから命令コードごとに変換していることから、CISCで用いられている変換回路を用いれば十分高速であるので、この回路を用いて本装置を構成したものを例としてあげる。命令コード実行の度ごとに変換する必

やし、主記憶装置と命令コード変換装置の間にもう1段キャッシュメモリを入れることもできる。

[実施例2]

外部記憶装置から主記憶装置に読み込む時点で命令コードを変換するようにしたものである。

本実施例は、外部記憶装置、命令コード変換装置、主記憶装置、(キャッシュメモリ、)演算処理装置の順で接続した構成になる。キャッシュメモリを含んだ3階層、これを含まない2階層、いずれの階層記憶についても適用可能である。外部記憶装置からの読み込みは、主記憶装置からの読み込みに比較しても、かなり低速になるので変換回路は低速で良い。この構成は、先に述べたRISCシステムで、外部記憶装置にコードを圧縮して記憶しておき、読み出し時にもとのマイクロコードに変換するような回路を付加したものである。同一の命令コードがくり返された場合に、これをくり返しの数と

一つの命令コードの組で表現する等の一般のデータ圧縮技術で用いられている方法で圧縮するようにすれば、外部記憶上の命令コードの量をさらに少なくすることができる。命令コード変換装置としては、例えば高速通信回路などで用いられるデータ圧縮／展開回路が半導体集積回路として量産されており、これを用いてさらに命令コードの変換回路を付加すればよい。なお、本実施例では、主記憶装置上には変換後のコードが存在するので、プログラム開発時に主記憶装置メインメモリ上のコードを直接変更するような場合には、これを外部記憶装置に格納するため、圧縮して逆変換することも必要となる。同一の外部記憶装置から圧縮していない命令コードやデータなども読み出すときは切り替え回路が必要になるが、本実施例では、簡単のために該当する装置には圧縮した命令コードのみを記憶することとする。本実施例では、通常のRISCシステムで外部記憶装置から読み込む単位（例えば32768ビット、1024コー

ド）ごとに管理して変換することとする。例では、これを8234ビットに圧縮されている。一般に半端な長さになるが、これについては読み込み制御などと合わせてプログラムで管理してもよい。

(効果)

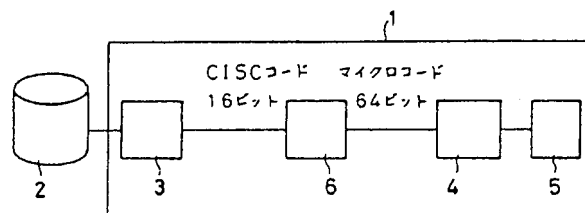
命令コード変換装置と階層記憶を組み合わせた本発明に係る装置を用いることにより、CISCとRISCの長所を合わせた高速な計算機を構築することができる。

4. 図面の簡単な説明

第1図は本発明にかかる計算機（一実施例）のシステム構成図、第2図は同他の実施例のシステム構成図である。

1・・・計算機本体、2・・・外部記憶装置、3・・・主記憶装置、4・・・キャッシュメモリ、5・・・演算処理装置、6・・・命令コード変換装置

第1図



第2図

